

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

11901959

Basic Patent (No,Kind,Date): JP 6202156 A2 940722 <No. of Patents: 001>

DRIVER MONOLITHIC DRIVING ELEMENT (English)

Patent Assignee: SHARP KK

Author (Inventor): KATAOKA YOSHIHARU; KONDO NAOFUMI; KATAYAMA  
MIKIO; SHIMADA YOSHIHIRO; KAWAI KATSUHIRO; MIYANOCHI MAKOTO

IPC: \*G02F-001/136; H01L-029/784

Derwent WPI Acc No: \*G 94-273888; G 94-273888

JAPIO Reference No: \*180557P000076; 180557P000076

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 6202156</b>	A2	940722	JP 92349408	A	921228 (BASIC)

Priority Data (No,Kind,Date):

JP 92349408 A 921228

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04731156      \*\*Image available\*\*

DRIVER MONOLITHIC DRIVING ELEMENT

PUB. NO.:      **06-202156** [JP 6202156 A]

PUBLISHED:      July 22, 1994 (19940722)

INVENTOR(s): KATAOKA YOSHIHARU

KONDO NAOFUMI

KATAYAMA MIKIO

SHIMADA YOSHIHIRO

KAWAI KATSUHIRO

MIYANOCHI MAKOTO

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      04-349408 [JP 92349408]

FILED:      December 28, 1992 (19921228)

INTL CLASS:      [5] G02F-001/136; H01L-029/784

JAPIO CLASS:      29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R011 (LIQUID CRYSTALS)

#### ABSTRACT

**PURPOSE:** To provide a driver monolithic driving element capable of improving an on/off ratio when it is used as an inverter circuit, realizing the design of a logic/driving circuit with high reliability, and suitable for a display device such as a high definition active matrix type liquid crystal display device, etc.

**CONSTITUTION:** A gate electrode 12, gate insulating film 13, a semiconductor layer 14, an n(sup +)-type semiconductor device layer 16, a source electrode 17, a drain electrode 18, and channel protective film 19 are laminated on an insulating substrate 11 in the above sequence, and a fourth electrode 15 is provided at a part on the channel protective film 19 and equivalent to the upper side of the gate electrode 12. The fourth electrode 15 is drawn out outside the logic/ driving circuit, and is connected to a minus power source, and a prescribed minus power voltage is applied to it from the minus power source. Thereby, the element characteristic of the driver monolithic driving element 21 can be improved, which improves the on/off ratio when the inverter circuit is configured.

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-202156

(43) 公開日 平成6年(1994)7月22日

(51) Int. Cl. <sup>5</sup>	識別記号	F I
G02F 1/136	500	9018-2K
H01L 29/784		
	9056-4M	H01L 29/78
		311 G

審査請求 未請求 請求項の数 1 (全6頁)

(21) 出願番号 特願平4-349408  
(22) 出願日 平成4年(1992)12月28日

(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 片岡 義晴  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(72) 発明者 近藤 直文  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(72) 発明者 片山 幹雄  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(74) 代理人 弁理士 山本 秀策

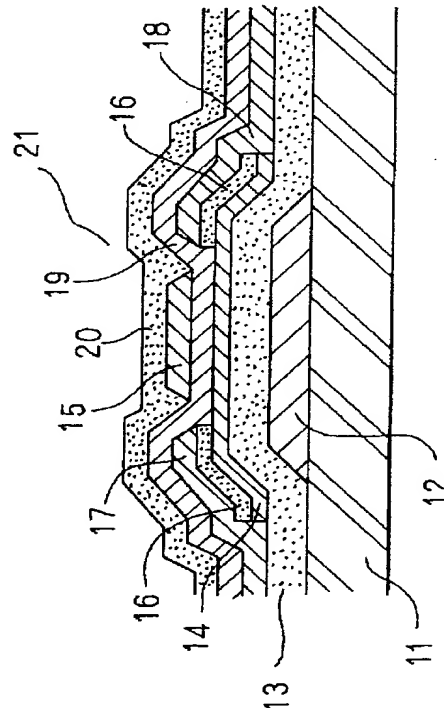
最終頁に続く

(54) 【発明の名称】 ドライバーモノリシック駆動素子

## (57) 【要約】

【目的】 インバータ回路として使用する場合にそのON/OFF比を向上でき、高信頼性の論理・駆動回路の設計が可能になり、大型、高精細のアクティブマトリクス型液晶表示装置等の表示装置に好適なドライバーモノリシック駆動素子を実現する。

【構成】 絶縁性基板1上に、ゲート電極12、ゲート絶縁膜13、半導体層14、n<sup>+</sup>型半導体素子層16、ソース電極17及びドレイン電極18、チャネル保護膜19をこの順に積層し、チャネル保護膜19上であってゲート電極12の上方に相当する部分に第4電極15を設ける。第4電極15は論理・駆動回路の外部に引き出されてマイナス電源に接続され、マイナス電源より所定のマイナス電圧が印加される。これにより、ドライバーモノリシック駆動素子21の素子特性が改善され、インバータ回路を構成した場合にそのON/OFF比を向上できる。



## 【特許請求の範囲】

【請求項 1】 走査線、信号線、絵素電極およびスイッチング素子が形成されたアクティブマトリクス基板と対向電極が形成された対向基板とを貼り合わせ、両基板間に表示媒体としての液晶が封入されたアクティブマトリクス型液晶表示装置等の表示装置の周辺部に設けられる論理・駆動回路を構成するドライバーモノリシック駆動素子において、

該アクティブマトリクス基板上に設けられたゲート電極と、

ゲート絶縁膜を介して該ゲート電極に重畳された半導体層と、

該半導体層に重畳して設けられたチャネル保護膜と、  
該チャネル保護膜に重畳された状態で、かつ相互に隔離した状態で設けられたソース電極およびドレイン電極と、

該ソース電極と該ドレイン電極との隔離部分に該チャネル保護膜に重畳して設けられた第 4 電極とを備え、該第 4 電極をマイナス電源に接続したドライバーモノリシック駆動素子。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、アクティブマトリクス型液晶表示装置等の表示装置に用いられるドライバーモノリシック駆動素子に関し、より詳しくは論理・駆動回路を構成するドライバーモノリシック駆動素子に関する。

## 【0002】

【従来の技術】 液晶表示装置の駆動方式として、単純マトリクス駆動方式とアクティブマトリクス駆動方式があり、アクティブマトリクス駆動方式は、絶縁性基板上にマトリクス状に配した絵素電極を、各絵素毎に設けたアクティブ素子にて独立して駆動する駆動方式を採る。

【0003】 アクティブ素子としては、TFT（薄膜トランジスタ）素子、MIM（金属-絶縁膜-金属）素子、MOS トランジスタ素子、ダイオード、バリスタ等が一般に知られている。

【0004】 図 3 は TFT をアクティブ素子として用いたアクティブマトリクス型液晶表示装置の等価回路を示す。このアクティブマトリクス型液晶表示装置は、ガラス基板からなる絶縁性基板上に走査線として機能する多数のゲートバスライン 6 1、6 1…が横方向に相互に平行に配線され、これと直交する縦方向に信号線として機能する多数のソースバスライン 6 2、6 2…が相互に平行に配線されている。各ゲートバスライン 6 1 と各ソースバスライン 6 2 とが交差する位置の近傍には、それぞれアクティブ素子としての TFT 6 3、6 3…が配置されている。TFT 6 3 のゲート電極はゲートバスライン 6 1 に接続され、ソース電極はソースバスライン 6 2 に接続されている。更に、TFT 6 3 のドレイン電極に

は、ゲートバスライン 6 1 とソースバスライン 6 2 で囲まれた領域にマトリクス状に配設された絵素電極 6 4 が接続されている。絵素電極 6 4 と図示しない対向基板に形成された対向電極との間に液晶が封入され、絵素が形成されている。

【0005】 絶縁性基板の周辺部、すなわち表示領域の周辺部には、各 TFT 6 3 を駆動するための論理・駆動回路 6 6、6 6…および 6 7、6 7…が設けられている。論理・駆動回路 6 6 および 6 7 はシフトレジスタ等からなる駆動波形形成用の回路からなり、次に述べるドライバーモノリシック駆動素子を備えている。各論理・駆動回路 6 6、6 6…は各ゲートバスライン 6 1、6 1…の末端に接続されている。また、各論理・駆動回路 6 7、6 7…の末端は各ソースバスライン 6 2、6 2…の末端に接続されている。

【0006】 上記のような液晶表示装置において、従来、絵素内に設けられた TFT 6 3 と表示領域の周辺部に設けられた論理・駆動回路 6 6、6 7 に用いられるドライバーモノリシック駆動素子は、同一構造の同様な特性を有する素子で構成されていた。

【0007】 図 4 はこのようなドライバーモノリシック駆動素子を有する 2 段インバータ回路の等価回路を示す。この 2 段インバータ回路は、2 つ一組のドライバーモノリシック駆動素子 2 1 を 2 段、すなわち合計 4 個設けて構成されており、信号入力端子 2 2 より入力された信号電圧がこれらのドライバーモノリシック駆動素子 2 1、2 1、2 1、2 1 を介することにより、反転増幅されて信号出力端子 2 3 より出力されるインバータ回路になっている。なお、図中 2 4 はこの 2 段インバータ回路に電源電圧  $V_{DD}$  を印加する電源端子であり、2 5 は GND である。

【0008】 図 5 はこのインバータ回路に用いられるドライバーモノリシック駆動素子 2 1 の断面構造を示す。このドライバーモノリシック駆動素子 2 1 は、従来一般の逆スタガー型の TFT と同一の構造になっており、以下の工程で作製される。

【0009】 まず、絶縁性基板 1 1 上にゲート電極 1 2 を形成する。続いて、ゲート電極 1 2 を覆うようにして絶縁性基板 1 1 上にゲート絶縁膜 1 3 を形成する。次に、その上に半導体層 1 4 を積層形成し、半導体層 1 4 の両側に  $n^+$  にドーパされた  $n^+$  半導体層 1 6 を配する。続いて、 $n^+$  半導体層 1 6 の上にソース電極 1 7 およびドレイン電極 1 8 を形成し、これらの積層体の上にトランジスタ保護膜として保護膜 2 0 を積層する。

## 【0010】

【発明が解決しようとする課題】 このような構造を有するドライバーモノリシック駆動素子 2 1 の素子特性は、TFT 6 3 と同様に図 2 の曲線 3 1 に示すような特性を有している。なお、図 2 は縦軸にドライバーモノリシック駆動素子 2 1 のドレイン電流  $I_d$ 、[A] を、横軸にゲ

ート電圧 $V_{th}$ 〔V〕をとって、ドライバーモノリシック駆動素子 21 の出力静特性を示している。

【0011】このような特性を有するドライバーモノリシック駆動素子 21 を用いて上記のような 2 段インバータ回路を構成した場合、論理・駆動回路 66 および 67 に与えられる動作点は、GND 25 と電源端子 24 に印加される電源電圧 $V_{dd}$ により決定され、図 2 の 0 V から $V_{dd}$ の範囲になる。

【0012】従って、図 2 の曲線 31 に示す素子特性では、トランジスタ（ドライバーモノリシック駆動素子）のオフ電流 $I_{off}$ の悪い（高い）領域でドライバーモノリシック駆動素子 21 が使用されるため、このドライバーモノリシック駆動素子 21 を用いたインバータ回路の ON/OFF 比が悪くなる。この結果、このようなインバータ回路を構成要素とする論理・駆動回路 66 および 67 の信頼性が低下するという問題があった。

【0013】このような問題点は、論理・駆動回路 66 および 67 に接続される TFT 63 等のアクティブ素子の数が増える大型、高精細のマトリクス表示装置になるほど、論理・駆動回路 66 および 67 のより高い信頼性が要求されるため、問題点の解決の必要性は一層大きくなる。

【0014】本発明はこのような従来技術の問題点を解決するものであり、インバータ回路として使用する場合にその ON/OFF 比を向上でき、このようなインバータ回路が組み込まれる論理・駆動回路の信頼性を格段に向上できる結果、大型、高精細のアクティブマトリクス型液晶表示装置等の表示装置に好適な論理・駆動回路を実現できるドライバーモノリシック駆動素子を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明のドライバーモノリシック駆動素子は、走査線、信号線、絵素電極およびスイッチング素子が形成されたアクティブマトリクス基板と対向電極が形成された対向基板とを貼り合わせ、両基板間に表示媒体としての液晶が封入されたアクティブマトリクス型液晶表示装置等の表示装置の周辺部に設けられる論理・駆動回路を構成するドライバーモノリシック駆動素子において、該アクティブマトリクス基板上に設けられたゲート電極と、ゲート絶縁膜を介して該ゲート電極に重畳された半導体層と、該半導体層に重畳して設けられたチャネル保護膜と、該チャネル保護膜に重畳された状態で、かつ相互に隔離した状態で設けられたソース電極およびドレイン電極と、該ソース電極と該ドレイン電極との隔離部分に該チャネル保護膜に重畳して設けられた第 4 電極とを備え、該第 4 電極をマイナス電源に接続しており、そのことにより上記目的が達成される。

【0016】

【作用】上記のように第 4 電極を設け、この第 4 電極

を、例えば論理・駆動回路の外部に設けられるマイナス電源に接続し、マイナス電圧を与えるものとする、ドライバーモノリシック駆動素子のオフ電流 $I_{off}$ を、このような第 4 電極が設けられていない上記従来例よりも低減できる。

【0017】すなわち、上記構成によれば、素子特性を示す曲線は図 2 に示す曲線 32 になり、素子特性が曲線 31 で表される上記従来のドライバーモノリシック駆動素子とは異なり、 $I_{off}$ の良好な領域でドライバーモノリシック駆動素子を使用することができる。従って、本発明のドライバーモノリシック駆動素子を用いたインバータ回路によれば、その ON/OFF 比を向上でき、高信頼性の論理・駆動回路を設計できる。

【0018】

【実施例】本発明の実施例について以下に説明する。

【0019】図 1 に本発明のドライバーモノリシック駆動素子の一例として、逆スタガー型のドライバーモノリシック駆動素子 21 を示す。このドライバーモノリシック駆動素子 21 は、絶縁性基板 11 の周辺部、すなわち表示領域の周辺部に作製され、絶縁性基板 11 上に、ゲート電極 12、ゲート絶縁膜 13、半導体層 14、 $n^+$ 型半導体素子層 16、ソース電極 17 およびドレイン電極 18、チャネル保護膜 19、第 4 電極 15、保護膜 20 をこの順に積層した構造になっている。

【0020】このドライバーモノリシック駆動素子 21 は以下の製造工程によって作製される。まず、ガラス基板からなる絶縁性基板 11 上にゲート電極 12 を形成する。ゲート電極 12 は一般に Ta、Al、Ti、Ni、Mo、W、Nb、Zr、Hf、Cr、Cu 等の単層又は多層金属及びそれらの合金により形成される。本実施例のゲート電極 12 は、Ta をスパッタ装置を用いて 300 nm 程度の厚みで形成した。

【0021】このとき、同時にゲートバスラインや TFT のゲート電極が形成される。なお、絶縁性基板 11 上に $Ta_2O_5$ 、 $Al_2O_3$ 、 $Si_3N_4$ 等からなるベース絶縁膜を形成し、その上にゲート電極 12 を形成することにしてもよい。

【0022】次に、ゲート電極 12 上にゲート絶縁膜 13 を CVD、スパッタ等にて形成する。本実施例ではゲート絶縁膜 13 として、 $SiNx$ （例えば、 $Si_3N_4$ ）を用いた。他に $SiO_x$ 、 $Ta_2O_5$ 、 $Al_2O_3$ 、 $TiO_2$ 、 $Y_2O_3$ その他の酸化物或は窒化物によって形成され得る絶縁膜を用いてもよい。また、ゲート絶縁膜 13 の膜厚は、一般に 150 nm～600 nm 程度が適切であるが、本実施例では 200 nm～350 nm に設定し、ゲート電極 12 と上層の金属との非導通状態を維持した構造になっている。

【0023】次に、ゲート絶縁膜 13 の上に半導体層 14 を形成する。本実施例では CVD により真性アモルファス Si 半導体を 50 nm 成膜し、続いてこれをパター

ニングして半導体層 1 4 を形成した。

【0024】次に、ドライバモノリシック駆動素子 2 1 の ON 時の接触抵抗を小さくし、OFF 時の漏れ電流（リーク電流）の低減を図るため、本実施例では半導体層 1 4 上の、後にドライバモノリシック駆動素子 2 1 のソース及びドレイン部が重畳して形成される部分に、 $n^+$  にドーパされたアモルファス Si にて  $n^+$  型半導体素子層 1 6 を厚み 30 nm で形成した。

【0025】続いて、 $n^+$  型半導体素子層 1 6 の上に、ソース電極 1 7 およびドレイン電極 1 8 を適当な離隔寸法を設けて形成する。ソース電極 1 7 およびドレイン電極 1 8 は一般的に Ta、Al、Ti、Ni、Mo、W、Nb、Zr、Hf、Cr、Cu 等の単層または多層金属および合金で形成されるが、本実施例では Ti を用いて厚さ 300 nm 程度で形成した。

【0026】次に、ソース電極 1 7 およびドレイン電極 1 8 の上にチャネル保護膜 1 9 を形成する。チャネル保護膜 1 9 は、CVD、スパッタ等にて形成されるが、本実施例では  $SiNx$ （例えば、 $Si_3N_4$ ）を CVD により成膜して形成した。チャネル保護膜 1 9 としては、他に  $SiOx$ 、 $Ta_2O_5$ 、 $Al_2O_3$ 、 $TiO_2$ 、 $Y_2O_3$ 、その他の酸化物或は窒化物によって形成され得る絶縁膜を用いることもできる。また、チャネル保護膜 1 9 の膜厚は 150 nm ~ 600 nm 程度が適切であるが、本実施例では 200 nm ~ 350 nm に設定した。

【0027】次に、チャネル保護膜 1 9 上のゲート電極 1 2 の上部に相当する部分に第 4 電極 1 5 を形成する。第 4 電極 1 5 は、一般的に Ta、Al、Ti、Ni、Mo、W、Nb、Zr、Hf、Cr、Cu 等の単層又は多層金属および合金で形成されるが、本実施例では Ti を用いて厚さ 300 nm 程度で形成した。

【0028】上記の第 4 電極 1 5 は絶縁製基板 1 1 の周辺部に形成され、ゲートバスラインおよびソースバスラインとそれぞれ個別に接続される論理・駆動回路の外部に引き出され、マイナス電源（図示せず）に接続されている。第 4 電極 1 5 にはマイナス電源より所定のマイナス電圧が印加され、これでドライバモノリシック駆動素子 2 1 の  $V_g - I_d$  特性が図 2 の曲線 3 1 から曲線 3 2 にシフトされるようになっている。

【0029】従って、本実施例のドライバモノリシック駆動素子 2 1 によれば、上記従来例のドライバモノリシック駆動素子 2 1 とは異なり、 $I_{off}$  の良好な領域でドライバモノリシック駆動素子を使用することができる。従って、本発明のドライバモノリシック駆動素子を用いたインバータ回路によれば、その ON/OFF 比を向上でき、高信頼性の論理・駆動回路を設計できる。

【0030】なお、本実施例では第 4 電極 1 5 の上に、絶縁性基板 1 1 を覆うようにして絶縁膜を形成し、ドラ

イバモノリシック駆動素子 2 1 の保護膜 2 0 として機能させており、以上の製造工程で本発明のドライバモノリシック駆動素子 2 1 が作製される。

#### 【0031】

【発明の効果】以上の本発明ドライバモノリシック駆動素子は、マイナス電源に接続される第 4 電極を設ける素子構成をとるので、ON/OFF 比が大きい利得の高いインバータ回路を作製することができる。従って、このようなインバータ回路を構成要素とし、アクティブマトリクス型液晶表示装置等の表示装置に使用される論理・駆動回路の信頼性を格段に向上できる。それ故、論理・駆動回路としてこのような高信頼性の論理・駆動回路が要求される大型、高精細のマトリクス型表示装置の実現に大いに寄与できる。

#### 【図面の簡単な説明】

【図 1】本発明ドライバモノリシック駆動素子の一例である、逆スタガー型ドライバモノリシック駆動素子を示す断面図。

【図 2】本発明ドライバモノリシック駆動素子と従来のドライバモノリシック駆動素子の  $V_g - I_d$  特性を比較して示す出力静特性図。

【図 3】従来のドライバモノリシック駆動素子が搭載されたアクティブマトリクス型液晶表示装置の等価回路図。

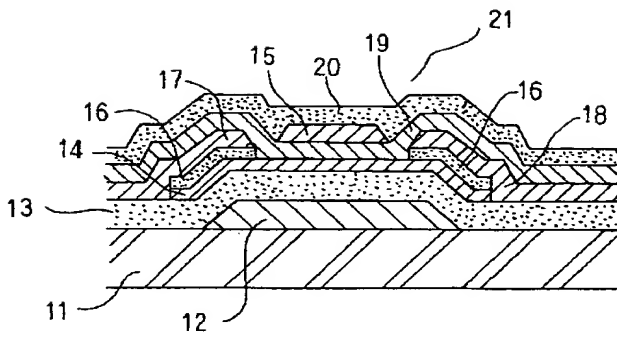
【図 4】従来のドライバモノリシック駆動素子を用いた 2 段インバータ回路の等価回路図。

【図 5】従来のドライバモノリシック駆動素子を示す断面図。

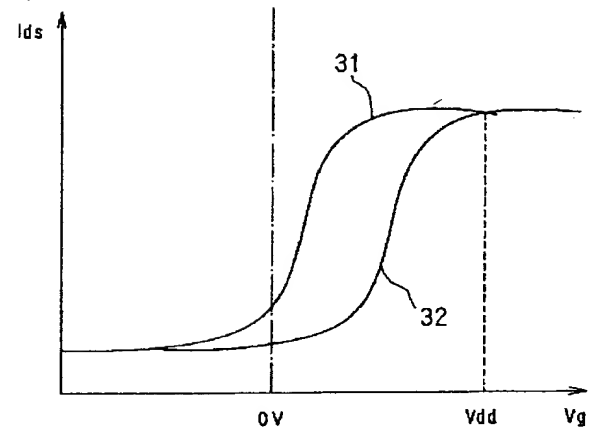
#### 【符号の説明】

- |         |                |
|---------|----------------|
| 1 1     | 絶縁性基板          |
| 1 2     | ゲート電極          |
| 1 3     | ゲート絶縁膜         |
| 1 4     | 半導体層           |
| 1 5     | 第 4 の電極        |
| 1 6     | $n^+$ 型半導体層    |
| 1 7     | ソース電極          |
| 1 8     | ドレイン電極         |
| 1 9     | チャネル保護膜        |
| 2 0     | 保護膜            |
| 2 1     | ドライバモノリシック駆動素子 |
| 2 2     | 信号入力端子         |
| 2 3     | 信号出力端子         |
| 2 4     | 電源端子           |
| 2 5     | GND            |
| 6 1     | ゲートバスライン       |
| 6 2     | ソースバスライン       |
| 6 3     | TFT（アクティブ素子）   |
| 6 4     | 絵素電極           |
| 6 6、6 7 | 論理・駆動回路        |

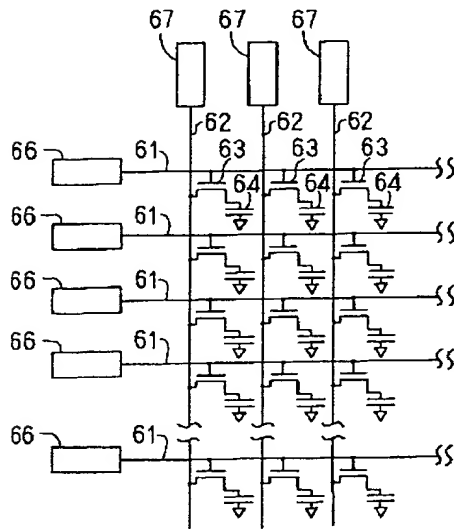
【図 1】



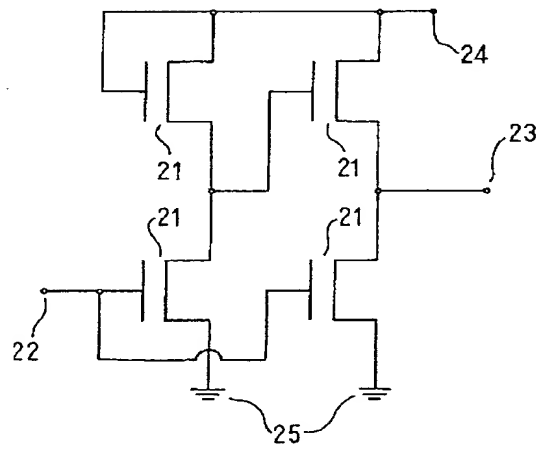
【図 2】



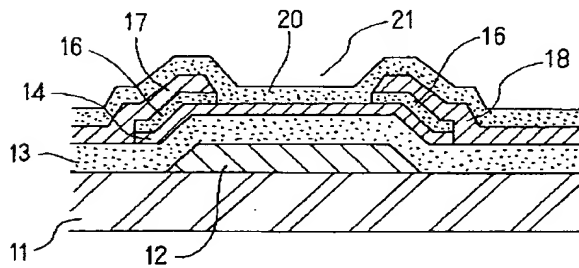
【図 3】



【図 4】



【図 5】



## フロントページの続き

- (72)発明者 嶋田 吉祐  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内
- (72)発明者 川合 勝博  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内
- (72)発明者 宮後 誠  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内